

Scope Search: wo90/07185

This is the RSS feed for your search, containing the most recent 100 documents matching your query. You can add this search to any RSS feed website or reader using this URL:
<http://www.wipo.int/patentscope/db/en/rss.jsp?QUERY=wo90%2f07185>
or click one of the following links.

[Add to Google](#)

[BROWNSCOPE](#)

[MY YAHOO!](#)

[SUE BROWNSCOPE](#)

Title

DATA PROCESSING DEVICE COMPRISING A NON-VOLATILE, ELECTRICALLY ERASABLE AND REPROGRAMMABLE MEMORY (WO 1990/007185)

	Pub. Date	Int. Class	Applicant
	28.06.1990	G11C 16/20	BULL CP8 U Michel

Data processing device comprising at least one central data processing unit (2), and at least one non-volatile, erasable and electrically reprogrammable memory (5), at least under partial control of the processing unit. The device is characterized in that it comprises detection means of a signal to request the reinitialization of the device's registers, controlling means (7) for inhibiting the application of at least one signal (V_{pp} EE) essential for programming the non-volatile memory (5) at least when said signal to request the reinitialisation (RAZ) of the device's registers is at a level (RAZ1) sufficient to activate the reinitialisation process. A particularly interesting application of this device concerns monolithic and/or

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)
⑪ 特許出願公表
⑫ 公表特許公報 (A)

平3-500944

⑬ 公表 平成3年(1991)2月28日

⑭ Int. Cl. [*]	識別記号	序内整理番号	審査請求 有 予備審査請求 未請求	部門(区分)	6 (3)
G 06 F 11/00 1/24 12/16 15/78 G 11 C 16/06	3 5 0 B 3 4 0 R 5 1 0 P 7459-5B 7131-5B	7343-5B 7737-5B 9072-5B G 06 F 1/00 G 11 C 17/00	3 5 0 B 3 0 9 F		(全 13 頁)

⑬発明の名称 電気的消去可能プログラマブル不揮発性メモリを含むデータ処理装置

⑭特 願 平2-501087
⑮出 願 平1(1989)12月19日

⑯翻訳文提出日 平2(1990)8月17日

⑰国際出願 PCT/FR89/00660

⑱国際公開番号 WO90/07185

⑲国際公開日 平2(1990)6月28日

優先権主張 ⑬1988年12月20日 ⑭フランス(FR)⑮88/16788

⑬発明者 ウゴン, ミシェル
⑭出願人 ブル・セー・ペー・8
フランス国、78310・モウルバ、リュ・デ・セバージュ、6
フランス国、78190・トラツブ、リュ・ユジエーヌ・エナフ (番
地なし)

⑬代理人 弁理士 川口 義雄 外4名

⑬指定国 AU, JP, KR, NO, US

請求の範囲

1. 少なくとも1つの処理装置(2)と、該処理装置の少なくとも部分的な制御下で電気的消去及び再プログラムが可能な少なくとも1つの不揮発性メモリ(5)とを含むデータ処理システムであって、該システムのレジスタの再初期化を要求する信号を検出する手段(8, 8b, 12)を含み、この手段が、少なくとも該システムのレジスタの再初期化を要求する前記信号(RAZ)が再初期化を実行するのに十分なレベル(RAZL)を有する場合は不揮発性メモリ(5)のプログラミングに必要な少なくとも1つの信号(V_{pp}, WE, EE)の送出を抑止する手段(7, 11, 15, 16, 20)を制御することを特徴とするデータ処理装置。

2. 再プログラミングの間再プログラマブルメモリ(5)が少なくともプログラミング電圧(V_{pp})の印加を必要としており、且つ抑止手段(7, 11, 20)がこのプログラミング電圧に作用することを特徴とする請求項1に記載の装置。

3. 再プログラミングの間再プログラマブルメモリ(5)がその再プログラミングのために書き込みバリデーション信号(WE)及び/又は消去バリデーション信号(EE)の印加を必要としており、且つ抑止手段がこれらの信号(WE, EE)の一方

及び/又は他方に作用するように具備されていることを特徴とする請求項2に記載のデータ処理装置。

4. 検出及び抑止手段(7, 11, 15, 16, 20)が、再初期化要求信号を受容する入力(81)を有し再初期化要求信号が第1レベル(RAZL)を検出する第1手段(8, 8b, 12)と、この検出手段の出力(82)に接続された入力を有する抑止回路自体(7, 11, 15, 16, 20)とを含み、再初期化要求信号が第1レベルとアクティブルレベルとの間にある場合は再プログラマブルメモリ(5)のプログラミングに必要な少なくとも1つの信号を抑止せしめる制御信号が抑止手段に与えられるように、この抑止回路が前記検出手段によって制御されるようになっていることを特徴とする請求項1から3のいずれか一項に記載のデータ処理装置。

5. 抑止回路(7)が検出手段(8, 8b)によって制御される電子スイッチ(73)であることを特徴とする請求項4に記載のデータ処理装置。

6. 第1検出手段(8)の出力(83)が、再初期化要求信号が前記第1レベルに到達した時に再初期化命令を送出すべく処理装置(2)の再初期化入力に接続されていることを特徴とする請求項4に記載のデータ処理装置。

⑩ 日本国特許庁 (JP)
⑪ 特許出願公表
⑫ 公表特許公報 (A)

平3-500944

⑬ 公表 平成3年(1991)2月28日

⑭ Int. Cl. [*]	成別記号	序内整理番号	審査請求 有 予備審査請求 未請求	部門(区分)
G 06 F 11/00 1/24	350 B	7343-5B		6 (3)
12/16	340 R	7737-5B		
15/78	510 P	9072-5B		
G 11 C 16/06		7459-5B	G 06 F 1/00	350 B
		7131-5B	G 11 C 17/00	309 F

(全 13 頁)

⑭ 発明の名称 電気的消去可能プログラマブル不揮発性メモリを含むデータ処理装置

⑮ 特 願 平2-501087

⑯ 出 願 平1(1989)12月19日

⑭ 既訳文提出日 平2(1990)8月17日

⑭ 国際出願 PCT/FR89/00660

⑭ 國際公開番号 WO90/07185

⑭ 國際公開日 平2(1990)6月28日

⑮ 优先権主張 ⑮ 1988年12月20日 ⑮ フランス(FR) ⑮ 88/16788

⑯ 発明者 ウゴン, ミシェル フランス国、78310・モウルバ、リュ・デ・セバージュ、6

⑯ 出願人 ブル・セー・ペー・8 フランス国、78190・トラップ、リュ・ユジエーヌ・エナフ (香港なし)

⑮ 代理人 弁理士 川口 義雄 外4名

⑮ 指定国 AU, JP, KR, NO, US

請求の範囲

1. 少なくとも1つの処理装置(2)と、該処理装置の少なくとも部分的な制御下で電気的消去及び再プログラムが可能な少なくとも1つの不揮発性メモリ(5)とを含むデータ処理システムであって、該システムのレジスタの再初期化を要求する信号を検出する手段(8, 8b, 12)を含み、この手段が、少なくとも該システムのレジスタの再初期化を要求する前記信号(RAZ)が再初期化を実行するのに十分なレベル(RAZ1)を有する場合は不揮発性メモリ(5)のプログラミングに必要な少なくとも1つの信号(V_{pp}, WE, EE)の送出を抑止する手段(7, 11, 15, 16, 20)を制御することを特徴とするデータ処理装置。

2. 再プログラミングの間再プログラマブルメモリ(5)が少なくともプログラミング電圧(V_{pp})の印加を必要としており、且つ抑止手段(7, 11, 20)がこのプログラミング電圧に作用することを特徴とする請求項1に記載の装置。

3. 再プログラミングの間再プログラマブルメモリ(5)がその再プログラミングのために書き込みバリデーション信号(WE)及び/又は消去バリデーション信号(EE)の印加を必要としており、且つ抑止手段がこれらの信号(WE, EE)の一方

及び/又は他方に作用するように具備されていることを特徴とする請求項2に記載のデータ処理装置。

4. 検出及び抑止手段(7, 11, 15, 16, 20)が、再初期化要求信号を受取る入力(81)を有し再初期化要求信号の第1レベル(RAZ1)を検出する第1手段(8, 8b, 19)と、この検出手段の出力(82)に接続された入力を有する抑止回路自体(7, 11, 15, 16, 20)とを含み、再初期化要求信号が第1レベルとアクティブルレベルとの間にある間は再プログラマブルメモリ(5)のプログラミングに必要な少なくとも1つの信号を抑止せしめる制御信号が抑止手段に与えられるように、この抑止回路が前記検出手段によって制御されるようになっていることを特徴とする請求項1から3のいずれか一項に記載のデータ処理装置。

5. 抑止回路(7)が検出手段(8, 8b)によって制御される電子スイッチ(73)であることを特徴とする請求項4に記載のデータ処理装置。

6. 第1検出手段(8)の出力(83)が、再初期化要求信号が前記第1レベルに到達した時に再初期化命令を送出すべく処理装置(2)の再初期化入力に接続されていることを特徴とする請求項4に記載のデータ処理装置。

特表平3-500944(2)

7. 再初期化要求信号の第2レベル(RAZ2)を検出する第2手段(10)を含み、この手段の出力が処理装置(2)の再初期化入力に接続されており、プログラミングに必要な少なくとも1つの信号の印加が第1検出手段(8, 8b)によって抑止された後で処理装置(2)への再初期化命令印加の妥当性が確認され、且つ抑止解除が第1検出手段によって許可されないうちは再初期化命令の妥当性が無効にされるようになっていることを特徴とする請求項4又は5に記載のデータ処理装置。

8. システムを電源に接続して供給電圧(Vcc)が装置の論理回路の正確な操作に必要な最低値(Vcc min)に到達した時に再初期化要求信号を送出する閾値検出器のような手段(13)を含むと共に、作動中に再初期化を要求する内部手段も含み、抑止手段(7, 11, 15, 16, 20)がこれらの再初期化要求信号の一方又は他方を西平に考慮するように接続されていることを特徴とする請求項4から7のいずれか一項に記載のデータ処理装置。

9. 抑止手段が少なくとも1つのレジスタ(11, 15, 16, 20)を含み、このレジスタの入力の1つが再初期化信号を受信し、このレジスタの出力が再プログラマブルメモリ(5)の

プログラミングに必要な少なくとも1つの信号(Vpp, WE, EE)を削除する手段(21)に接続されており、このレジスタが再初期化命令によってプログラミングの抑止に対応するコンフィギュレーションに配置されるように構成されており且つプログラミングを許可するようこのレジスタをロードせしめる單一のコンフィギュレーションを有し、レジスタのローディングが処理装置の適当な出力(CVpp, CNE, CEE)を介してシステムのクロックと同調して実行されるようになっていることを特徴とする請求項8に記載のデータ処理装置。

10. 1つのレジスタ(11, 15, 16, 20)が直列入力及び並列出力を有するシフトレジスタであり、このレジスタのローディング入力がプログラミングの要求に次ぐローディングルーチンの実行時にローディングできるように処理装置(2)に接続されており、このレジスタの出力が組合わせ回路(21)を介して互いに接続されており、該レジスタが單一許可コンフィギュレーションでロードされた時にプログラミングに必要な信号の少なくとも1つを印加すべく許可信号が送出されるようになっていることを特徴とする請求項9に記載のデータ処理装置。

11. 直列入力及び並列出力を有する單一のシフトレジスタ(20)を含み、このレジスタの各出力の信号が組合わせ回路(21)に送られ、この組合わせ回路(21)が再プログラマブルメモリ(5)のプログラミング制御入力(Vpp, WE, EE)の数と同数の出力を備えていて、所手のプログラミングモード(書き込み又は部分的もしくは全面的消去)の要求が出された時に、レジスタの内容に応じて、選択されたプログラミングモードに必要な信号の印加だけを許可するようになっており、このレジスタの入力が処理装置の1つの出力(CC)に接続されていることを特徴とする請求項10に記載のデータ処理装置。

12. プログラムメモリ(3)と、このプログラムメモリ(3)に常駐の再プログラマブルメモリ(5)の書き込み又は消去を制御するプログラムとを含むことを特徴とする請求項1から11のいずれか一項に記載のデータ処理装置。

13. プログラムメモリ(3)と、このプログラムメモリ(3)に常駐のプログラムであって選択されたプログラミングモードに応じてレジスタのローディングを実行させるプログラムとを含むことを特徴とする請求項7から11のいずれか一項に記載のデータ処理装置。

14. 開発プログラム及びローディングプログラムが組合わせられていることを特徴とする請求項12又は13に記載のデータ処理装置。

15. 制御プログラム及び/又はローディングプログラムが所手のプログラミングモードの要求に次いで処理装置(2)により揮発性メモリ(4)にロードされた命令に基づいて実行されるようになっていることを特徴とする請求項12から14のいずれか一項に記載のデータ処理装置。

16. 再プログラマブルメモリ(5)の所手のプログラミングモードの要求に次いで揮発性メモリにロードされた命令がプログラミングの完了と同時に消去されるようになっていることを特徴とする請求項12に記載のデータ処理装置。

17. モノリシック自動プログラマブルマイクロプロセッサの構造を有することを特徴とする請求項1から16のいずれか一項に記載のデータ処理装置。

明細書
電気的消去可能なプログラム不揮発性メモリを含むデータ処理装置

本発明は、マイクロプロセッサのような処理装置を少なくとも1つ含むと共に、この処理装置の制御下で少なくとも部分的な電気的消去及び再プログラムが可能な不揮発性メモリを少なくとも1つ含むデータ処理装置に係わる。

データ処理システムでは、装置を電源に接続した時又は装置への給電を停止した時に変化してはならないデータが不揮発性メモリに記憶される。従って、特に装置のオペレーティングプログラムを含む命令の少なくとも一部は不揮発性メモリに書き込むことができる。命令を記憶した不揮発性メモリは通常は消去不可能である。しかしながら、プログラム可能な不揮発性メモリ、即ち記憶内容を変更できる不揮発性メモリも存在する。

この種のメモリには、例えば微外線照射等によって予め消去しておかないと記憶内容を変えることができないものがある。このタイプの再プログラマブル不揮発性メモリは、再プログラミングを行うのに少なくとも消去段階で外部からの物理的介入を必要とするため、再プログラミングを完

ようにする。公知の回路では通常電源が論理回路に必要な電圧を供給し、不揮発性メモリのプログラミングに必要な電圧はダイオードボンプのような変換器によって得られる。

論理回路の供給電力と不揮発性メモリのプログラミングに必要な供給電力とが同じであるようなシステムも明らかに考えられ、実現可能である。その場合は変換器が不要となる。

電気的消去・再プログラマブル不揮発性メモリの必要性は明らかである。なぜなら、この種のメモリは外部からの介入なしに処理装置の指令によって直接プログラムできるため、例えば処理装置自体がその中のプログラムを変更し得、又は或る使用期間中に次の使用に必要なデータを次の使用又はそれより後の使用の間に変更できる状態で書き換めるからである。

例えば、銀行の払込及び払出に使用されている、少なくとも1つのマイクロプロセッサと1つの不揮発性メモリとを含むマイクロ回路カード使用データ処理システムはその例である。この種のメモリは、書換される場合及び/又は書換並びに最高の記録を保存するために超込まれる。これらの記録は使用毎に変更し得るデータであるが、このデータ

特表平3-500944(3)

全に処理装置だけで制御するようなシステムでは使用できない。この問題を解決するために、データ処理システムで一般的に使用されているレベルに対してコンパチブルなレベルの電気信号を適用することによって書き込み又は消去を実行する再プログラマブル不揮発性メモリが設計された。このメモリは通常、英語の *electrically erasable programmable read only memory* の頭文字をとって EEPROM と呼ばれる。

以下の説明では、「プログラミング」という用語は広い意味で使用され、メモリの内容を変更させる全ての動作、即ちメモリの書き込み又はその内容の少なくとも部分的な消去を意味する。

例えば、公知の論理回路には 5V の電圧が供給されているが、電気的消去・再プログラマブル不揮発性メモリのプログラミング電圧の範囲は通常約 12~20V である。内容の変更に必要なエネルギーが小さいことから、論理回路に必要な電圧と当該装置に組込まれた不揮発性メモリのプログラミング電圧とを同一の電源から供給するデータ処理装置が設計された。これら2つの必要な電圧の一方には装置全体の供給電力が対応し、もう一方の電圧は変換回路を介して得る

はシステムの実行にとって重要であるため保存しておかなければならぬ。

無論、プログラミングは外部ワードからの要求に応じて実行することもでき、その場合は処理装置がその要求の正当性をチェックし且つオペレーションの過程をモニターする。

少なくとも1つの処理装置と1つの消去・電気的プログラマブル不揮発性メモリとを含むデータ処理装置は、单一基板を用いて1つのセットとして形成し得、その結果モノリシックマイクロプロセッサが得られる。このモノリシックマイクロプロセッサは、不揮発性メモリに書き込まれたデータをマイクロプロセッサ自体が外部からの介入なしに変更ができる場合は、任意に光学的にセルフプログラマブルにし得る。

しかしながら、このタイプの構造は電源が1つの場合には問題がある。なぜなら、或る種の一時的保護装置では、処理装置が監視を行っていない時に不揮発性メモリの内容が誤って変更される事故が発生し得るからである。

実際、処理装置の論理回路の起動が安定しているわけではない時には、プログラミング電圧及び指令信号がでたら

めに切替えられる事態が生じ得る。

プログラミング電圧は不揮発性メモリの内容変更に必要な電圧、即ち書き込み又は消去に必要な電圧である。この電圧は変更技術で対応する指令信号、即ち書き込み又は消去の妥当性を確認する信号と共に与えられる。

この種のでたらめな変更現象は特に、装置を電源に接続した時、又は電源を切った時に発生し得る。装置の論理アセンブリの良好な機能に必要な最低限のレベルが存在しないうちに、又はこのレベルが存在しなくなつてから、実機器が不揮発性メモリのプログラミングを行うのに十分なレベルの電圧を供給するような事態も生じ得る。このようなプログラミング電圧が印加され、それと同時に書き込み又は書き込みの妥当性を確認する信号がメモリ回路に一時的に転送されると、削除又は書き込みの命令が実行される。その場合は情報が完全に削除不能な状態で変更されるため、装置全体が全く予測不可能な挙動を示し得る。

また、このような現象がシステムの論理回路の再初期化段階で、即ち処理装置が動作をまだ完全には制御していないうちに前記回路の最低動作電圧に到達した場合に発生することもあり得る。ここで留意すべきこととして、再初期

印止手段を解説するように構成される。そのために、プログラミング電圧の印加を抑止する回路を運転させて、装置を電源に接続してからこれらの回路が安定するまで成る程度の時間にわたりこれら回路の作用を停止させるようになっている。再初期化命令は、これらの回路の動作が停止した直後に送信される。

このような装置は不適切と言える。なぜなら、前記印止装置はメモリに接続された回路の再初期化段階では作動せず、更に重要なことに、メモリを接続すべき処理装置が不揮発性メモリに属する回路のアロセスとは全く異なるアロセスによって再初期化され得るという事実を全く考慮しないからである。

その結果、電源への接続の後で所定の時間にわたってプログラミング電圧の印加を抑止する運転回路が不揮発性メモリを配置し得る全ての環境に必ずしも適合しなくなり、特にレジスターの再初期化を完全に安全には実行できなくなる。特に、前記再初期化段階で不揮発性メモリのでたらめなプログラミングが印止されなくなる。

本発明の目的は、前述の問題を解決すべく、あとで装置を使用する時に適合を行う必要を伴わずに、不揮発性メモ

特表平3-500944 (4)

化段階は数クロックサイクルにわたって運転し得、その間に不揮発性メモリの書き込み又は消去が生じることもある。

これらの問題は、不揮発性メモリを包囲する回路への供給電力が十分なレベルに到達しない限りプログラミング電圧の印加を抑止するようできる回路の実現によって部分的に解決できる。例えば、電気的消去・再プログラマブル不揮発性メモリについて論じたIntel社出版の"Memory Components Handbook"1983年版の第5章には、供給電圧が十分なレベルに到達しない場合はプログラミング電圧及びノーブル性確認(バリデーション)信号の切替えを抑止する個々の書き込み又は消去保護装置が記述されている。このために、不揮発性メモリでは、プログラミング電圧が消去又は書き込み命令に応答する電子スイッチを介して切替えられるようになっている。論理回路への供給電圧が必要最低限のレベルに到達しない場合は論理回路の供給電圧を固定する回路が前記スイッチを抑止するため、プログラミング電圧の切替えは抑止される。

また、前記文獻に記載されている装置は、メモリの書き込み又は消去が開始される前に必ず実行しなければならない不揮発性メモリのチェックを行う回路の再初期化の直前に

リを組込んだシステムの再初期化段階で不揮発性メモリのプログラミングを抑止できるようにする手段を提供することにある。

本発明では、再初期化命令又は信号がシステムの個々の領域に与えられない限り再初期化は生じし得ないという事実を利用する。再初期化命令は再初期化要求に応じて発生する。この再初期化要求は、例えば装置を電源に接続した時のように、最低動作電圧に到達した後で自動的に発生し得る。あるいは、再初期化要求が装置自体からの要求もしくは作動中にユーザから出される要求に応じて発生することもある。この要求は再初期化要求信号に変換される。

この再初期化命令の発生は本発明の範囲には含まれない。また周知のように、再初期化要求信号は、そのレベルが論理によって考慮されその結果再初期化命令が送出されるような場合にはアクティブと称する。この信号は、再初期化命令を送出できないようなレベルを有する時はイナクティブである。再初期化要求信号はシステムに応じてHIGH状態でアクティブになるか又はLOW状態でアクティブになる。この信号は、該信号の値が例えば装置の公称作動電圧に近くないと再初期化が生じしないという場合に、HIGH状態で

アクティブになり且つLOW状態でイナクティブになる。この場合、該信号がイナクティブになるためにはその値がゼロでなければならない。この信号はまた、該信号を通じて媒体がゼロ電位の時に再初期化実行のために考慮され且つこれらの媒体が公称作動電圧に近い電位を有する時は再初期化が生起しないという場合に、LOW状態でアクティブになり且つHIGH状態でイナクティブになる。

少なくとも1つの処理装置と、少なくとも該処理装置の部分的制御下で電気的消去及び再プログラミング^{アブル}が可能な少なくとも1つの不揮発性メモリとを含む本発明のデータ処理装置は、論理回路の再初期化要求信号のレベルを検出する手段を含み、この手段が、少なくとも再初期化要求信号がアクティブになるレベルを有する時は不揮発性メモリのプログラミングに必要な少なくとも1つの信号の退出を抑止する手段を削除することを特徴とする。

このように、本発明は電圧への接続後に逐段的に選択を設ける代わりに装置毎に一定した値を使用するため、極めて有利である。実際、公称作動電圧が例えば5Vであり且つ再初期化信号がLOW状態でアクティブになる装置の場合は、再初期化要求信号の値がゼロに近いことを確かめるだけで、

本発明の他の特徴及び利点は、添付図面に基づく以下の説明で明らかにされよう。

添付図面中、第1図は本発明のデータ処理装置の一実施例を示す説明図である。

第2図及び第3図は抑止手段の2つの実施例を夫々の環境と共に示す説明図である。

第4図～第7図は本発明のシステムの別の実施例を示す説明図である。

第1図に本発明の装置の第1実施例を簡単に示した。

この装置(1)は実際ではROMと略されて称されるリードオシリヤメモリ(3)に記憶されたプログラムを実行する処理装置(2)を含む。

この処理装置は実際ではRAMと略されて称されるランダムアクセスメモリ(4)を含むか又はこれに接続され得る。

この処理装置はシステムの供給電圧Vccを受給する。

本発明の装置は、電気的に消去し得るプログラマブルなタイプの不揮発性メモリ(5)も含む。以下の説明ではこのメモリを再プログラマブルメモリと称する。

書き込み又は消去を実行できるように、再プログラマブルメモリ(5)はプログラミング電圧入力Vppと、書き込みパリデ

特表平3-500944(5)

プログラミングに必要な電圧の印加を抑止することができる。

また、公知の先行技術の装置では、作動中に又は電源への接続後に再初期化が行われた場合にはプログラミング電圧の印加を抑止することができなかつた。なぜなら、これら先行技術の装置では、プログラミングの抑止を駆動する時定数が電源への接続時まで現れないからである。本発明では、プログラミングに必要な電圧の印加を、再初期化要求信号の発生時点に簡便なく抑止できる。また、本発明で使用する手段は、プログラミングに必要な電圧の印加を再初期化段階の間中確実に抑止する。これは、再初期化信号の持続時間全体にわたってアクティブである信号がプログラミング電圧抑止手段の制御に使用されるからである。実際、再初期化命令は要求信号がアクティブの時にだけ存在する。

本発明は、処理装置が不揮発性メモリのプログラミングを程度の差はあれ部分的に削除するあらゆるタイプのデータ処理装置に適用できる。即ち、本発明は特にセルフプログラマブルマイクロプロセッサ及びモノリシックもしくは非モノリシックマイクロプロセッサに適用し得る。

ーション信号NEと、消去パリデーション信号EEと、データラインD_nと、アドレスラインA_nとを含む。データライン及びアドレスラインの管理は処理装置(2)によって公知の方法で行われ、処理装置(2)と該メモリのアドレスライン及びデータラインとの間にはデータバス及びアドレスバスが接続されている。図面簡略化のため、これらのバスは一部しか図示しなかった。再プログラマブルメモリ(5)はクロック信号入力CLも含む。クロックは当該データ処理装置に属するか又は該データ処理装置に接続すべき第3の装置に属し得る。

書き込み又は消去が処理装置(2)によって管理される場合は、書き込みパリデーション信号NE又は消去パリデーション信号EEが処理装置の対応出力CNE及びCEEから退出され、不揮発性メモリ(5)の内部へのプログラミング電圧Vppの印加が処理装置から出される対応する要求に従って実行される。

このような装置を含むマイクロ回路カードを銀行の業務に使用する場合には、クロック信号が外部信号から得られる。

また、書き込み又は消去のパリデーションは使用するメモリのタイプに応じて異なる方法で実現することができ、相

補的な入力が必要なこともあり得る。第1図は、プログラミング電圧が通常は单数で与えられるのではなく、奇込み又は消去命令と組合わせて与えられなければならないことを示すものである。

また、奇込み又は消去の要求がメモリに伝えられない場合はプログラミング電圧 V_{pp} が抑止されるように、再プログラマブルメモリ(5)内の内部回路又は該メモリに接続される回路を具備する。これらの回路は公知であり、省面積化のため図示しなかった。

これらの回路は本発明の範囲には含まれないが、例えば本明細書の冒頭で記述したIntelの出版物に詳述されている。これらの内部回路は通常、プログラミング電圧からの変化を内部で管理するために、不揮発性メモリの入力 WE 又は OE における要求の存在を検出する。

プログラミング電圧 V_{pp} はシステムの論理回路に必要な供給電圧 V_{cc} から得ることができる。この電圧 V_{cc} は処理装置の入力の1つに直接印加し、現在の技術では殆どの場合がそうであるようにこの電圧が電圧 V_{pp} と異なる場合には、この供給電圧からプログラミング電圧を得るべく变换器(6)を具備する。例えば、公称供給電圧 V_{cc} が5Vであり且つ公

に自動的に行われるようできる。その場合は、供給電圧 V_{cc} を測定して、例えば最低作動電圧 V_{ccmin} に到達した直後に、又は供給電圧の値が最低値と公称値との間にある時に、再初期化信号を送出する回路を使用する。

好ましくは、第1図に示すように、再初期化信号レベル検出器(8)が処理装置(2)に再初期化命令を送る機能も果たすようにする。そのためには、検出器(8)の入力(81)が例えばシステムを電源に接続した後で送出された再初期化信号を受信するようにする。この再初期化信号を得るための手段は省面積化のため図示しなかった。

前記検出器の出力の1つ(81)はプログラミング電圧抑止手段(7)の入力の1つに接続されており、前記検出器の別の出力(83)は処理装置の再初期化入力に接続される。このような構造では、前記検出器の入力に出現する再初期化信号のレベルが十分ではなく、この信号が再初期化要求を正当化するものではないとみなされる時は、抑止手段(7)の入力の1つに接続された検出器(8)の出力(82)からプログラミング電圧の印加を許可する信号を送出することができる。前述のように、抑止手段(7)は、装置の論理回路の作動電圧が最低値に達していない場合にプログラミング電圧の印

特表平3-500944(6)

示プログラミング電圧 V_{pp} が18Vの場合は、变换器(6)がディオードボンプを含み得る。

本発明の装置(1)は、再初期化の時はプログラミング電圧 V_{pp} の印加を抑止する手段(7, 8)を含む。そのため、実施例の1つでは、装置の再初期化を要求する信号RAZ1の電圧の値を測定する検出器(8)を具備する。この検出器は出力からプログラミング電圧抑止手段(7)を制御する信号を送出して、再初期化信号の値が再初期化を実行させるべく考慮できるような値である限り、即ちこの信号がアクティブであるとみなされ始める閾値RAZ1に到達している場合には、前記電圧の印加を抑止させる。

再初期化信号がLOW状態でアクティブになる時は、再初期化要求信号検出手段がこの信号のレベルを検出し、そのレベルが前記閾値以下の場合にはプログラミングに必要な電圧の印加が抑止されるようする。逆に、前記信号がHIGH状態でアクティブになる時は、再初期化要求信号がシステムの論理回路の公称作動電圧の値に近いレベルに到達した時にプログラミング電圧の印加が抑止されるようする。

再初期化要求は公知の回路によって、電源への再接続時

加を抑止する信号を送出する検出器(9)によっても実現得られる。従って、検出器(8)の入力(81)に再初期化要求信号が存在していない時に作動電圧が最低値に到達すると、抑止手段(7)がプログラミング電圧の印加を許可するようになり、再プログラマブルメモリのプログラミング要求が出されればこれを考慮できるようになる。

第1入力(82)が前記状態にある場合には、再初期化信号がアクティブとみなすには不十分であるため、検出器(8)が処理装置(2)の再初期化が起こらない状態に対応する信号を出力(83)から送出する。

検出器(8)はヒステリシスのない閾値検出器であるのが好ましい。そうすれば、入力(81)に与えられた再初期化信号の値がこの信号の妥当性を認めることができるような値になるとすぐに出力(82, 83)が変化して、抑止手段(7)が起動すると同時に処理装置の再初期化を実行せしめる命令が該処理装置の入力に与えられるような状態になる。逆に、検出器の入力(81)に与えられた信号のレベルがこの信号をアクティブとはみなせないようなレベルの場合には、出力(82, 83)が逆の状態に変化する。例えば、装置の論理回路の公称作動電圧が5Vであれば、検出器の出力に現れるレベ

ルは、検出器の入力(81)に与えられた信号が状態変化の閾値を超えるとすぐに0から5V又は5Vから0Vに変化する。

また、検出器(8)の状態変化閾値は、再初期化信号のアクティプ状態がLOW状態であるか又はIICB状態であるかによって異なる。例えば、入力(81)に与えられた再初期化要求信号をLOW状態でアクティプとみなさなければならぬ場合、即ちこの信号の値が公称作動値とゼロ値との間に変化し得る場合には、再初期化信号の出現が、検出器(8)の入力(81)に与えられた信号の公称値とゼロ値との間の遷移となって現れる。逆に、装置のレジスタをゼロにリセットした後で再初期化信号が消えると、検出器の入力に与えられた信号がゼロ値から公称値に変化する。換言すれば、そのような場合には、出現する再初期化要求信号が検出器(8)の入力に与えられた信号の後継となり、再初期化要求信号が消失すると同一入力に前継が出現する。従って、好ましくは、状態変化閾値が公称供給値とゼロ値との間にあるような閾値検出器を設計又は選択するだけでよい。例えば、回路の公称作動電圧を5Vとすれば、再初期化信号がLOW状態でアクティプになる時は検出器の入力(81)に与えられた信号が約4Vである時に状態変化が起こるよう閾値検出器

回路(8)とを含むこのアセンブリは電子閾値スイッチを備える。このスイッチは、再初期化要求信号RAZが十分に高い値RAZ1、即ちシステムの論理回路の再初期化を生起させるべく該信号を考慮することが可能な値に到達した時に、電位器(6)の出力電圧を再プログラマブルメモリ(5)の入力に印加せしめる。

書き込みパリデーション命令WE及び消去パリデーション命令EEは処理装置(2)から出される。処理装置(2)の論理回路が妥足していない時は、書き込み又は消去パリデーション信号が誤って不揮発性メモリに選出され得る。そこで変形例の1つ(図示せず)では、これらの信号を抑止する回路を具備する。この回路はやはり閾値検出器(8)によって主制御され、再初期化信号が十分に高いレベルに到達していない時は処理装置(2)から出される前述のごとき信号の選出を抑止する。但し、いずれの場合も、プログラミング電圧Vpp抑止手段(7)は具備しておかなければならぬ。なぜなら、再プログラマブルメモリ(5)の内部電子回路に属する一時的信号が特に該メモリの書き込み又は消去パリデーション回路で発生し得、その結果、特に電源への接続時に、制御不可観なデータ書き込み又は消去が再プログラマブルメモリ

特表平3-500944(7)

を選択し、再初期化信号がIICB状態でアクティプになる時は状態変化閾値が例えば2Vになるように閾値検出器を選択する。これらの値は固定的なものではないが、状態変化閾値が再初期化信号がアクティプではない時の値に近いことが望ましく、但しこの信号のイナクティプ状態とアクティプ状態との間の状態変化が再初期化時間の喪失を回避すべく極めて急速に考慮されるのが好ましいことを示している。このようにすれば、処理装置への有効な再初期化命令と、抑止手段(7)によりプログラミング電圧の印加を抑止させる信号とをかなり迅速に与えることができる。

従って、書き込みパリデーション命令が再プログラマブルメモリ(5)の書き込みパリデーション入力WEに与えられるか、又は消去パリデーション命令が前記メモリの消去パリデーション入力EEに与えられても、再初期化が実施されればプログラミング電圧Vppが抑止されるため前記命令は実行されない。

変換器(6)を具備する場合には、同図に示すように、この変換器の出力と不揮発性メモリのプログラミング電圧Vpp入力との間に抑止手段(7)を配置するのが好ましい。

実際、抑止手段(7)と抑止閾値RAZ1を検出する閾値検出

リ内で生じし得るからである。

このような理由から、書き込み又は消去パリデーション抑止回路が存在する場合でも、プログラミング電圧印加抑止手段(7)は実現しておくるのが好ましい。

第1図には、入力が当該装置の供給電圧Vccを受給し且つ出力がプログラミング電圧印加手段(7)に接続された回路(9)も示されている。この回路(9)は閾値検出器であり、供給電圧Vccが所与の値、即ち当該装置の論理回路が正確に機能するための最低値を下回る毎に、プログラミング電圧の印加を抑止する機能をもつ。この回路はそれ自体公知であり、本明細書の導入部分でも言及した。この回路は、装置の再初期化段階の間中アクティプである本発明に特異的な回路を補足するものとして、電源への接続時、装置への給電の切断時、又は事故による電圧の低下時に、プログラミング電圧の印加を抑止させることができる。

この検出器(8)と抑止手段(7)との並列による機能は、プログラミング電圧の印加を抑止する前記手段(7)と並列する再初期化信号レベルRAZ1検出器(8)と相補的であり、供給電圧Vccのレベル又は再初期化要求信号のレベルがコンパチブルでない場合にはプログラミング電圧Vppが再プロ

グラマブルメモリ(5)の対応する入力端子に与えられないようになる。

第2図は、再初期化信号の値だけを考慮して、再プログラマブルメモリ(5)へのプログラミング電圧印加の許可又は印止を決定する場合の印止手段(7)の実施例の原理を示している。この印止手段(7)は例えば、再初期化信号がアクティブでなくなった時にプログラミング電圧 V_{pp} を遮断ができるオール・オア・ナッシングトランジスタアセンブリ(73)を用いて構成する。そのためには、印止手段(7)の内部回路を、トランジスタアセンブリ(73)の制御電圧(74)に再初期化要求信号値後出回路(8)の信号が受信されるように配置する。印止手段の入力(71)は変換器(6)の出力に接続されるか、又は一般的にはプログラミング電圧供給回路が論理回路供給回路から独立している場合にはこのプログラミング電圧供給回路に接続され、印止手段(7)の出力(72)は再プログラマブルメモリ(5)のプログラミング電圧 V_{pp} 入力に接続される。例えば、印止手段(7)の入力(71)に与えられた信号はNOSトランジスタアセンブリのドレインに伝送され、出力(72)は該アセンブリのソースに接続される。その場合は、制御電圧とアースとの間、即ちゲ

特表平3-500944(8)

ートとアースとの間に抵抗器(75)を配置する。

後出回路(8)はヒステリシスのない論理検出器であるのが好ましい。この回路は、再初期化信号がアクティブでなくなった時にトランジスタアセンブリ(73)を導電性にする信号が出力から送出されるように選択される。

このようにすれば、再初期化要求信号がアクティブになつた時に、プログラミング電圧 V_{pp} の印加が印止手段(7)によつて印止される。

第3図は、再プログラマブルメモリ(5)へのプログラミング電圧 V_{pp} の印加を印止するのに、再初期化要求信号だけでなく、該回路の論理回路の供給電圧のレベルも考慮する場合の実施例である。この場合は、印止手段(7)が、再初期化信号のレベルに依る後出器(8)からの信号及び/又は供給電圧のレベルの検出器(9)からの信号を収集するように構成される。検出器(9)は論理検出器でもあり、供給電圧が最低値 V_{min} 、即ち論理回路が正確に機能し始めるとの値と公称供給電圧 V_{mean} との間にある時は、プログラミングの要求が出されていればこれを許可すべく出力から印止手段(7)に制御信号を送出する。例えば、公称供給電圧が5Vの回路の場合は、論理回路が3Vで正確に機能し始めると

すれば、電圧が例えば4Vになるとすぐにプログラミング電圧の印加を許可する信号が検出器(9)から送出される。

この場合は、印止手段(7)を例えば次のように構成する。前述のごとき第1トランジスタ(73)を組込んで、その電極の一方が変換器(6)からの信号を受信するようにし、もう一方の電極は印止手段(7)の出力(72)を介して再プログラマブルメモリ(5)の V_{pp} 入力に接続し、且つ制御電圧(74)が再初期化要求信号のレベルを測定する検出器(8)からの信号を受信するようにする。更に、抵抗器(75)と検出器(8)の出力及び第1トランジスタ(73)の制御電圧(74)の共通点との間に第2トランジスタ(76)を挿入し、その制御電圧(77)を供給電圧検出器(9)の出力に接続し、第2電極を前記共通点に接続し且つ第3電極を抵抗器(75)に接続する。

この場合は、再初期化要求信号検出器(8)を介して第1トランジスタ(73)の制御電圧(74)に信号が与えられた時に第2トランジスタ(76)が導電性でなければ、第1トランジスタが導電性になる。プログラミングを印止すべく第2トランジスタを導電性にするためには、その制御電圧(77)に信号を与えなければならない。供給電圧がシステムの論理回路を正確に作動せしめる最低値より低いことが検出器(9)に

よって検出された時がこれに当たる。

勿論、他の任意のタイプのアセンブリも使用できる。添付図面は本発明の装置の動作原理を説明するための非限定的実施例に過ぎない。何よりも重要なのは、プログラミング電圧印止手段(7)が、供給電圧が正確であり且つ再初期化信号がアクティブでない時にプログラミング電圧 V_{pp} の印加を許可する被制御スイッチを含むことである。

また、同図では検出器(8)の出力が1つであつて、印止手段の制御電圧と処理装置(2)の再初期化入力とに接続されている。これは、制御及び再初期化の両方に同じ信号レベルを使用することができるような手法を用いる場合に適用できる。

しかしながら、前記回路は、プログラミング電圧の印加が再初期化命令の消滅と同時に許可されるという欠点を有する。即ち、種々の回路の応答時間に起因して、プログラミング電圧印加の印止を解除する命令が再初期化命令の消滅前に考慮される事態が発生し得、それと同時に中央処理回路で制御不可能な消去又は書き込みをパリデータする一時的現象も起こり得るため、プログラマブルメモリにでたらめな情報が記憶されることがある。

そこで、第4図に示す原理に基づく実用例では、回路の再初期化要求信号のレベルを検出する2つの回路を具備する。そのうち、第1検出回路(8b)の出力はプログラミング電圧印止手段(7)に接続し、第2検出回路(10)の出力は処理装置(2)の再初期化入力に接続する。これら2つの検出回路(8b, 10)は異なる検出回路RAZ1, RAZ2を有し、そのためこれらの回路の入力に再初期化要求信号RAZが現れると、第2回路(10)が処理装置(2)の再初期化のための信号をアクティブにする前に、第1回路(8b)が手段(7)を印止する信号を送出する。その結果、再初期化要求信号が現れた時は、再初期化命令が与えられる前にプログラミング電圧の印加が印止されることになり、検出回路(8b, 10)の入力に与えられた再初期化要求信号がアクティブ状態からイナクティブ状態に変化した時は、処理装置(2)の対応入力に与えられた再初期化命令が消失した後で印止解除が実行されることになる。従って、日々の制御信号の印加の回数に入力履のシーケンスが絡られ、そのためシステムの動作上の安全性が増加する。

このようにして、いずれの場合にも再初期化の前に印止が行われ、再初期化が終了した後で印止が解除される。

れるプログラムドシーケンスに応じて実行され、例外的に再初期化が信号の消失後まで待機し待る場合もある。

上述の実用例とともに説明した装置は、再初期化要求信号がアクティブでない時にプログラミング電圧印加の許可が与えられるようになっている。しかしながらこのような場合は、対応する命令が発生すると、再初期化が完了する前に意図に反して、プログラミング電圧印加の許可がおりた時点です込み又は消去が誤って開始されることがある。

第5図に示した実用例では、再初期化要求信号がアクティブでなくなった時に再初期化が完了しないうちに誤ってプログラミングが行われるのを防止することができる。

この本発明の装置は少なくとも1つのレジスタ(11)を含み、このレジスタの出力が再プログラマブルメモリ(5)のプログラミング電圧Vppを印止する手段(7)に接続されており、このレジスタの再初期化入力が組合せ回路(12)を介して、電源への接続時に自動的に再初期化を生起させる回路(13)に接続される一方で、好ましくは再初期化要求信号レベル検出器(8)を介して、作動中に装置の再初期化を要するラインにも接続される。その結果、前記信号は所定の回路から考慮され始めることになる。レジスタ(11)のデ

特表平3-500944(9)

使って第4図の回路は、装置の回路を再初期化させる命令が消去してからプログラミング電圧の印加が許可されるため、極めて強力である。更にこの回路は、最低供給電圧に到達していない時はプログラミング電圧を印止する手段を含むため、最低動作電圧に到達した時及び再初期化信号がアクティブでない時以外は、電源への接続時にプログラミング電圧の印加が許可されることはない。供給電圧が電圧に反して低下するか又は該電圧を故意に低下させた場合は、供給電圧検出回路(9)の存在によって、供給電圧が正確な作動に必要な最低値以下になるとプログラミング電圧Vpp印加の許可が印止される。

しかしながら、これらの実用例の装置には、再初期化時にプログラマブルメモリ(5)で消去又は書き込みが誤って行われる危険が依然として存在し得る。

実際、前記実用例では、プログラミング電圧を印加する許可が再初期化命令の消失と同時に与えられ、又は前記許可が再初期化命令の消失より遅れて与えられてもその遷延がかなり遅い再初期化信号の電圧レベルの遷移速度にのみ依存する。

再初期化は通常、システムのクロックによって主制御さ

ーナ入力は中央処理装置(2)によって制御されるように中央処理装置のデータ出力に接続される。

レジスタ(11)は更に、システムを主制御するクロック(14)に接続されている。

この図には、供給源Vccとプログラミング電圧印止手段(7)との間に変換器(6)も示されている。

例えば自動再初期化回路(13)は、供給電圧Vccがシステムの論理回路の正確な作動に必要な最低値に到達すると同時にレジスタ(11)の再初期化命令を送出するパルス発生器に接続された電圧検出器を含む。レジスタ(11)はその再初期化が終わると出力から信号を送出して、印止手段(7)が再プログラマブルメモリ(5)へのプログラミング電圧の印加を印止するようにさせる。

プログラミング電圧印止手段(7)が再プログラマブルメモリ(5)へのプログラミング電圧の印加を許可するようなコンフィギュレーションにレジスタ(11)の出力を配置するためには、処理装置(2)がレジスタ(11)をその出力が再初期化時の状態と反対の状態をとるようなコンフィギュレーションにロードしなければならない。そのためには、処理装置(2)の1つの出力CVppがレジスタ(11)のデータ出力に接

成されるようとする。

このようにすると、実際に消去又は書き込みの必要がある時に、処理装置の要求のみによってプログラミング電圧の印加が許可されるコンフィギュレーションにレジスタ(11)が配置されるため、装置が極めて強力になる。抑止手段(7)は書き込み又は消去が不要な時に必ずアクティブになり、全て安全性は高い。

実施例の1つでは、レジスタ(11)が基本的記憶セルを含む。このセルは再初期化時の所定の状態に配置されるのが好ましい。但し、例外として、この種のセルが再初期化時の状態と異なる状態をとることもあり得る。その場合は、情況に応じてプログラミング電圧の印加が許可され得る。このような理由から、第5図に示すように、書き込みバリデーション信号WE又は消去バリデーション信号EEの印加は他のレジスタ(15, 16)の状態にも従うようになるのが好ましい。これら他のレジスタは、書き込みバリデーション信号及び消去バリデーション信号の抑止に対応する状態で電源への接続時に初期化される。第5図では、これら2つのレジスタ(15, 16)の出力が次々再プログラマブルメモリ(5)の書き込みバリデーション入力WE及び消去バリデーションEE

チバイブレータ又はセルを含む。再初期化入力はこれらのレジスタの間で分配され、第5図に示したものと同じ組合せ回路(12)、即ち電源への接続時に自動再初期化信号を受信するか又はオペレーション中に再初期化要求信号を受信する回路に接続される。また、これらのレジスタのローディングは逐次的に実行され、装置のクロック(14)によって同期される。従って、処理装置はこれらレジスタの各々をロードするために複数の命令を含むルーチンを実行しなければならない。第5図の場合と同様に、処理装置は、所定の動作に必要なレジスタのローディングを行えるようにレジスタ11、15、16のデータ入力に次々接続された出力(CVpp, CWE, CEE)を含む。また、各レジスタ毎に1つのローディングコンフィギュレーションが、そのレジスタによって前例される信号の印加を許可する。即ち、レジスタ(11)の場合はプログラミング電圧Vppの印加、レジスタ(15)の場合は書き込みバリデーション信号WEの印加、又はレジスタ(16)であれば消去バリデーション信号EEの印加を許可する。

そのために、第6図の実施例では各レジスタが異なる組合せ回路に接続されている。レジスタ(11)に接続された第1組合せ回路(17)はプログラミング電圧を許可し、レ

特表平3-500944(10)

入力に接続されている。このような直線的接続は、自己レジスタの出力レベルが再プログラマブルメモリでの書き込み又は消去のバリデーションに必要な入力レベルに対してコンパチブルな場合に実行される。これらのレベルがコンパチブルでない時は、レジスタの出力と再プログラマブルメモリの対応入力との間に変換器を具備する必要がある。書き込み又は消去を実行しなければならない時は、処理装置がクロックと同期する出力(CVpp)を介してレジスタ(11)のローディングを行い、このレジスタが抑止手段(7)をプログラミング電圧印加許可状態に制御する。処理装置はこれと同時に、要求された動作に応じて、レジスタ(15及び/又は16)を書き込み及び/又は消去バリデーション信号印加許可状態にロードする。処理装置(2)の出力(CWE, CEE)はそのためにレジスタ(15)及び(16)のデータ入力に次々接続される。

この実施例は特に有利である。なぜなら、レジスタの1つが再初期化中に望ましくない状態をとることはあるが、既って既てのレジスタが望ましくないコンフィギュレーションをとるようなことは殆ど起こり得ないからである。

第6図は、レジスタ(11, 15, 16)が並列入力及び並列出力を有するシフトレジスタであり、各々が非単一数のマル

ジスタ(15)に接続された第2組合せ回路(18)は書き込みバリデーション信号の印加を許可し、レジスタ(16)に接続された第3組合せ回路は消去バリデーション信号の印加を許可する。各組合せ回路は、対応するレジスタが含むマルチバイブレータの数と同数の入力を含むため、或るレジスタの各マルチバイブルの状態が対応する組合せ回路に常時反映される。また、レジスタに対応する組合せ回路は出力が1つであり、この出力はこれによって制御される再プログラマブルメモリの対応入力に接続される。この接続は信号がコンパチブルであれば直接的に実行され、又は信号がコンパチブルでなければアダプタもしくは変換器回路を介して実行される。例えば、この実施例では、レジスタ(11)に接続された回路(17)の出力がプログラミング電圧Vpp抑止手段(7)の制御入力に接続される一方で、組合せ回路(18及び19)の出力が再プログラマブルメモリ(5)の書き込みバリデーション入力及び消去バリデーション入力に次々直接接続される。

実施例の1つは、組合せ回路(17, 18, 19)を公知の論理機能、例えばOR、EXCLUSIVE OR等と組合せて使用する。

第6図の装置は下記のように機能する。まず、書き込み要

事が出されたら、レジスタ(11)をプログラミング電圧Vppの印加が許可される状態に配置すると同時に、レジスタ(15)を書き込みバリデーション信号EEの印加を許可する状態にセットしなければならない。そのためにはこれらの各レジスタをロードするための特定のルーチンを実行する。また、消去動作を許可する場合は、プログラミング電圧Vppの印加を許可するレジスタ(11)及び消去バリデーション信号EEの印加を許可するレジスタ(16)を順次ロードしなければならない。

この場合は装置の信頼性が特に高いことがわかる。なぜなら、各レジスタの構成に必要なセルの数を増やすことによって、誤った初期化によりこれらのセルが対応コマンドの許可に対応する状態に配置される事態が大幅に改善されるからである。

5つの異なるレジスタを含む第6図の実施例では、書き込み又は消去動作時に少なくとも2つのレジスタの適切な選択及びローディングが必要とされる。プログラミング電圧の印加を許可するレジスタ及び選択した動作のバリデーション信号に対応するレジスタを系統的に選択しなければならないのである。

行うのかによって異なる内容がロードされる。そのためには、処理装置(2)のローディング出力(CC)はレジスタ(20)の直列データ入力に接続されている。

また、レジスタ(20)の再初期化は第6図の場合と同様に実行される。即ちこの場合の再初期化も、供給電圧Vccのレベルに応じて応答する回路(18)からの自動再初期化信号の印加により電源への接続時に実行されるか、又はシステムの正常な機能の間に再初期化命令RAZが出された時に実行される。この場合、組合せ回路(12)は論理OR機能を実行してこれら命令の一方又は他方を考慮できるようにする。

このシステムを使用するには、再プログラマブルメモリ(5)への介入の可能性の数と同数のルーチンをプログラムメモリに具備しなければならない。例えば、このメモリの完全消去に対応するルーチン1つと、部分的消去に対応するルーチン1つと、新しいデータの書き込みに対応するルーチン1つとを備えなければならない。

また、再プログラマブルメモリでの消去又は書き込みを制御する前記ソフトレジスタのローディング方法は種々なものが考えられる。

前述のごとく、プログラムメモリは複数の完全なルーチ

特表平3-500944 (11)

また、不揮発性メモリの消去が全体的であるか又は部分的であるかに応じて、これら種々のレジスタの出力状態を特定的に組合わせる必要もあり得る。そのためには、これらレジスタの各々を処理装置の異なる出力に接続するか又は同じ出力に接続しなければならず、所定のプログラミング操作に必要なレジスタのローディングを実行すべく一方及び／又は他方を選択する手段を具備しなければならない。

第7図の実施例では、全てのレジスタが單一のシフトレジスタ(20)を構成するように組合わせられており、このシフトレジスタがそのマルチバイブレータの数と同数の入力を有する組合せ回路(21)に接続されている。この組合せ回路は、プログラミング電圧Vppの印加を制御する1つの出力(210)と、書き込みバリデーション信号EEを制御する1つの出力(211)と、消去バリデーション信号EEを制御する1つの出力(212)とを含む。このような構造にすると、書き込み又は消去動作を実行しなければならない時に單一のアドレス指定モードを使用するだけでレジスタ(20)を系統的にロードすることができる。その場合、前記レジスタには、再プログラマブルメモリ(5)に含まれている内容の書き込み動作を行うのか又は前記内容の全体的もしくは部分的消去を

行うのかによって異なる内容がロードされる。そのためには、処理装置(2)のローディング出力(CC)はレジスタ(20)の直列データ入力に接続されている。

以上説明してきた種々な実施例は、システムの再初期化時の安全性が高く、不揮発性再プログラマブルメモリ(5)に記憶されたデータの変更又は消去が回避される。いずれの実施例を選択するかは、装置の複雑さ及び／又は必要な安全性に応じて決定する。

但し、処理装置が誤って不適切な時点でアドレススキップを行った場合には、前記種々の実施例でも非初期シーケンスによるプログラムの実行を防止することはできない。従って、場合によっては再プログラマブルメモリ(5)の内容に誤ましくない変更が生じ得る。

このような理由から、実施例の1つでは、処理装置のオペレーティングプログラムを記憶したメモリ(3)には、再プログラマブルメモリ(5)の書き込み又は消去を可能にする完全ルーチンを記憶しないようにする。このようにすれば、不適切な時点でアドレススキップが生じたとしても、処理装置が誤ってこの種の操作を命令することはあり得ない。

そのためには、再プログラマブルメモリ(5)の書き込み又

は過去のルーチンを得発性メモリ(4)に書き込むことができる。また、プログラムを作成する。このルーチンは、命令をデータ形態で前記得発性メモリに書き込む操作を含む。

さての命令が揮発性メモリ(4)に書き込まれると、メモリ(3)に記憶されたプログラムが前記揮発性メモリに書き込まれたルーチンとスイッチされ、その結果このルーチンが実行されるようになる。書き込み又は消去が終わると、揮発性メモリ(4)に記憶されたルーチンのオーバーライティング消去によって、メモリ(3)に記憶されたプログラムが再び動作を制御することになる。従って、前記ルーチンは実行不可能になる。

この方法は、揮発性メモリ(4)がそのプログラムの実行を許可した時にしか使用できないことがわかる。

この方法は、第8図及び第7図に基づいて説明した1つ又は複数のシフトレジスタのローディング用ルーチンを作成するために使用できるが、第1図～第5図の実施例で、プログラミング並びに消去及び／又は書き込み命令の運用を制御する揮発性メモリに前記ルーチンより追加に簡単なルーチンをローディングする場合にも使用できる。

このように本発明は、再アログラマブルメモリ(5)を処

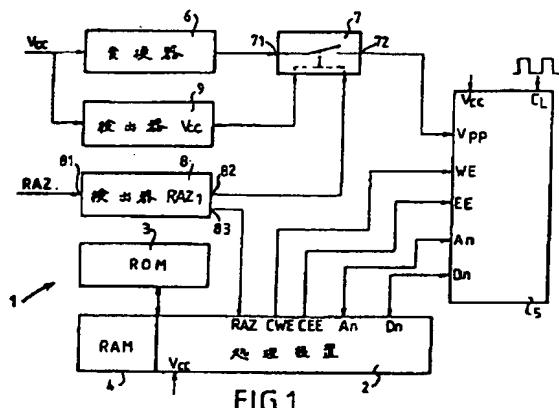


FIG. 1

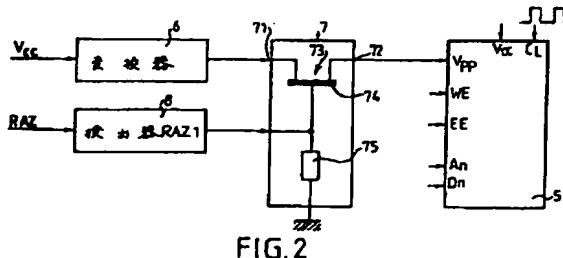


FIG. 2

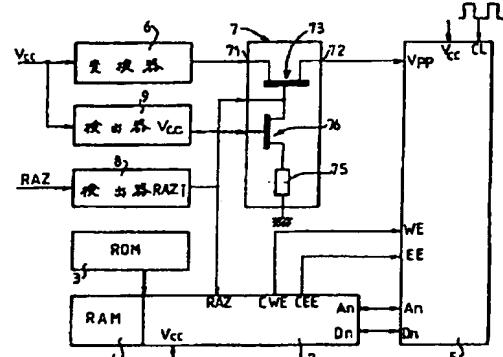


FIG. 3

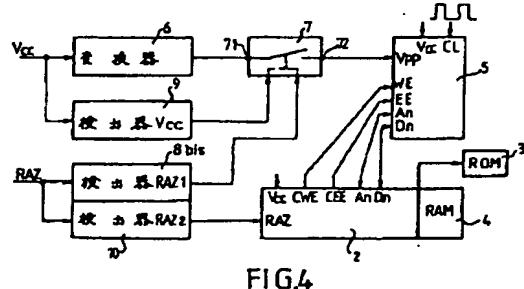


FIG. 4

特表平3-500944(13)

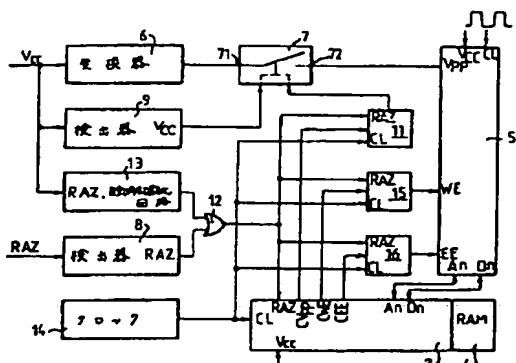


FIG.5

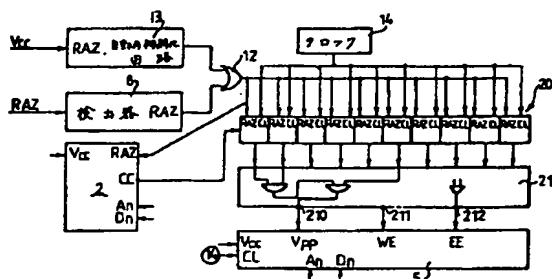


FIG.7

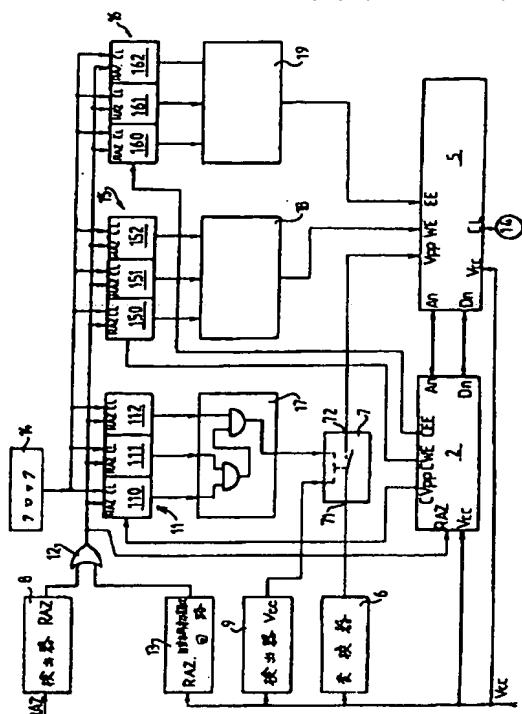


FIG.6

国际同族报告

International Application No. PCT/EP99/00660

I. CLASSIFICATION OF THE PATENT OR INVENTION	
According to International Patent Classification (IPC) or to the Cooperative Patent Classification (CPC)	
Int.Cl.5	GLIC 16/06
II. FIELD OF THE INVENTION	
III. INVENTIVE CONCEPTS TO BE PROTECTED	
Corresponding patent documents of the International Search Report	
X	US. A. 4692904 (MITSUBISHI) 8 September 1987, see the whole document
X	---
A	US. A. 4612632 (MITSUBISHI ELECTRONICS) 16 September 1986, see the whole document
A	Patent Abstracts of Japan, Vol. 6, No. 38, (P-103) (1982), 9 March 1982; 1. JP-A- 56156932 (MITSUBISHI DENKI SAMPO K.K.) 3 December 1981
A	EP. A. 0265312 (THOMSON COMPOSANTS MILITARIES ET SPATIALES) 27 April 1988, see the whole document
A	EP. A. 0270610 (THOMSON SEMICONDUCTEURS) 8 June 1988, see the whole document
A	WO. A. 85/03583 (SUNDstrand DATA CONTROL) 19 August 1985, see page 13, line 9- page 17, line 2, figure 2
IV. STATEMENT OF THE INVENTION	
V. CERTIFICATION	
10 April 1990 (10.04.90)	Date of priority of the International Search Report 16 May 1990 (16.05.90)
International Searching Authority European Patent Office	International Examining Authority European Patent Office

国际同族报告

PCT/EP99/00660
SA 33337You can also find the patent family members relating to the patent document cited in the International Search Report.
This number can be referred to in the European Patent Office EPO for an update.
The European Patent Office is in a better position for those questions which are mainly given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A- 4592904	08-09-87	JP-A- 4602904 US-A- 4581201	12-12-85 14-11-89
US-A- 4512632	18-09-88	None	
EP-A- 0265312	27-04-88	FR-A- 2 264555 JP-A- 56156932 US-A- 4612632	01-04-88 05-05-88 05-05-89
EP-A- 0270610	08-06-88	FR-A- 2 2606199 JP-A- 62132400 US-A- 4837744	08-05-88 08-06-88 08-06-89
WO-A- 85/03583	15-08-85	US-A- 4614494 AU-A- 5482029 AU-A- 3937205 CA-A- 1239693 EP-A- 0171610 JP-T- 61501176	17-02-87 10-12-87 27-08-85 26-07-88 10-02-88 12-06-85

For more details about this entry, see Official Journal of the European Patent Office, Vol. 13/90

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.